

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-205205

(43)Date of publication of application : 05.08.1997

(51)Int.Cl. H01L 29/78  
H01L 21/336

(21)Application number : 08-130423 (71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 24.05.1996 (72)Inventor : AKANUMA HIDEYUKI

(30)Priority

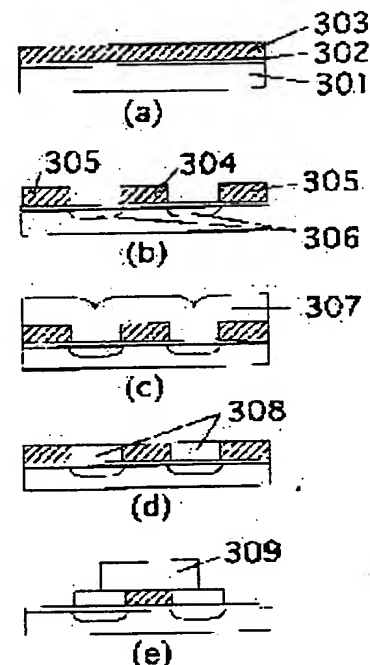
Priority number : 07303164 Priority date : 21.11.1995 Priority country : JP

## (54) MANUFACTURE OF MOS-TYPE SEMICONDUCTOR DEVICE AND MOS-TYPE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To uniformly set an offset to an arbitrary level regarding a semiconductor device with a low-concentration impurity diffusion layer (offset) between the channel part of a MOS-type transistor and the source and drain.

SOLUTION: Simultaneously with the formation of a gate electrode 304, a conductive film 305 is formed at a region (cover region) for covering a part which later becomes a source and a drain by photolithography, thus forming a low-concentration diffusion layer 306. An insulation film 307 is deposited and the insulation film 307 is gradually eliminated from its top by the chemical/mechanical polishing(CMP), thus exposing the top of the conductive film 305. As a result, the insulation film 307 remains between the gate electrode 304 and the conductive film 305 and a source/drain region 310 is formed by implanting ions with the insulation film 307 as a spacer. Since offset length is determined by one photolithography, electrical characteristics are uniform and the degree of freedom for setting breakdown voltage between the source and drain can be increased.



## LEGAL STATUS

[Date of request for examination]

02.12.2002

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-205205

(43) 公開日 平成9年(1997)8月5日

(51) IntCl.<sup>6</sup>H 0 1 L 29/78  
21/336

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

3 0 1 L

3 0 1 S

3 0 1 P

審査請求 未請求 請求項の数7 O L (全 10 頁)

(21) 出願番号 特願平8-130423

(22) 出願日 平成8年(1996)5月24日

(31) 優先権主張番号 特願平7-303164

(32) 優先日 平7(1995)11月21日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 赤沼 英幸

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

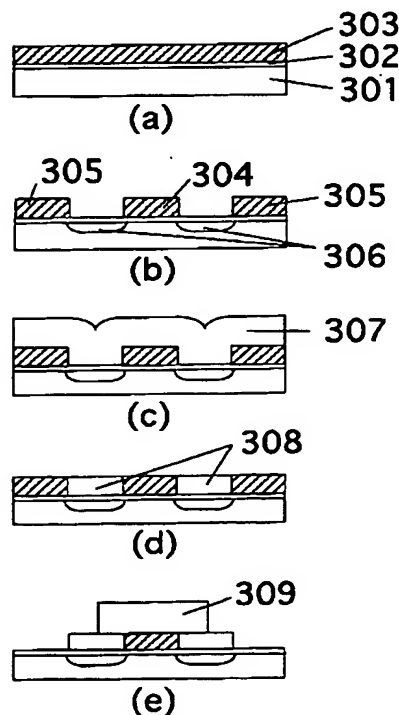
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 MOS型半導体装置の製造方法及びMOS型半導体装置

## (57) 【要約】

【課題】 MOS型トランジスタのチャネル部と、ソース及びドレインの間に低濃度の不純物拡散層（オフセット）. を設ける半導体装置に関し、オフセットを任意の大きさにすることができ、しかも均一にする。

【解決手段】 ゲート電極304形成と同時に、後にソース、ドレインとなる部分を覆う領域（カバー領域）に導電膜305をフォトリソグラフィで形成し、低濃度拡散層306を形成する。絶縁膜307を堆積し、化学的機械的研磨（CMP）技術を用いて絶縁膜307を頂部から徐々に除去し、導電膜305の頂部を露出させる。この結果、ゲート電極304と導電膜305の間に絶縁膜307が残り、これをスペーサとしてイオン注入を行うことによりソース、ドレイン領域310を形成する。オフセット長が一度のフォトリソグラフィで決まるため電気的特性が均一であり、ソース、ドレイン間耐圧の設定の自由度が大きくできる。



**【特許請求の範囲】**

**【請求項1】** MOS型半導体装置の製造方法であって、少なくとも、半導体層上にゲート絶縁膜を形成する工程と、カバー層とゲート電極とを一度のフォトリソグラフィで形成する工程と、前記カバー層と前記ゲート電極の間にスペーサを形成する工程と、前記カバー層を除去する工程と、除去した前記カバー層の下の前記半導体層に不純物イオン注入を行う工程を含むことを特徴とするMOS型半導体装置の製造方法。

**【請求項2】** MOS型半導体装置の製造方法であって、少なくとも、半導体層上にゲート絶縁膜を形成する工程と、カバー層とゲート電極とを一度のフォトリソグラフィで形成する工程と、スペーサ絶縁膜を堆積する工程と、前記カバー層の頂部が露出し、かつ前記スペーサ絶縁膜の下部が残るように前記スペーサ絶縁膜を上部から除去してスペーサを形成する工程と、前記ゲート電極及び前記スペーサを残して前記カバー層を除去する工程と、除去した前記カバー層の下の前記半導体層に不純物イオンを注入する工程を含むことを特徴とするMOS型半導体装置の製造方法。

**【請求項3】** MOS型半導体装置の製造方法であって、少なくとも、単結晶シリコン基板上に素子分離絶縁膜を形成する工程と、ゲート絶縁膜を形成する工程と、カバー層とゲート電極とを同一の材質を用い、一度のフォトリソグラフィで形成する工程と、スペーサ絶縁膜を堆積する工程と、前記カバー層の頂部及び前記ゲート電極の頂部が露出し、かつ前記スペーサ絶縁膜の下部が残るように前記スペーサ絶縁膜を上部から除去してスペーサを形成する工程と、少なくとも前記ゲート電極を覆い、前記カバー層を覆わないように第1の配線を形成する工程と、前記カバー層を除去する工程と、除去した前記カバー層の下の前記単結晶シリコン基板中に不純物イオンを注入する工程、を含むことを特徴とするMOS型半導体装置の製造方法。

**【請求項4】** 前記請求項2乃至請求項3記載の半導体装置の製造方法であって、前記スペーサ絶縁膜の下部が残るように前記スペーサ絶縁膜を上部から除去する工程において、前記スペーサ絶縁膜の除去を化学的機械的研磨を用いて行うことを特徴とするMOS型半導体装置の製造方法。

**【請求項5】** 請求項2乃至請求項3記載の半導体装置の製造方法であって、スペーサ絶縁膜の下部が残るように前記スペーサ絶縁膜を上部から除去する工程において、前記スペーサ絶縁膜の除去をエッチバック法を用いて行うことを特徴とするMOS型半導体装置の製造方法。

**【請求項6】** MOS型半導体装置の製造方法であって、少なくとも、単結晶シリコン基板上に素子分離絶縁膜を形成する工程と、ゲート絶縁膜を形成する工程と、カバー層とゲート電極とを、同一の材質で、一度のフォトリソグラフィで形成する工程と、スペーサ絶縁膜を形成す

る工程と、前記カバー層の上以外の前記スペーサ絶縁膜上に、フォトリソグラフィを用いてエッチングのマスクを形成する工程と、前記エッチングのマスクの無い部分の前記スペーサ絶縁膜の上部を、前記カバー層が露出し、かつ前記スペーサ絶縁膜下部が残るようにエッチングして除去する工程と、前記カバー層を除去する工程と、除去した前記カバー層の下の前記単結晶シリコン基板に不純物イオンを注入する工程を含むことを特徴とするMOS型半導体装置の製造方法。

**【請求項7】** 請求項1乃至請求項6記載の半導体装置の製造方法で製造したMOS型半導体装置であって、ソース及びドレインの不純物拡散層とチャネルの間の部分の、チャネル長方向の単位長さあたりの電気抵抗が、ゲート電極及びドレインに規定の電圧を加えた場合のチャネルの単位長さあたりの電気抵抗の概2分の1であることを特徴とするMOS型半導体装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、半導体装置の製造方法、特にMOS型トランジスタであってチャネル部と、高濃度の不純物拡散層からなるソース及びドレインの間に低濃度の不純物拡散層（以下これを仮にオフセットと呼ぶ。尚、Lightly Doped Drain（略してLDD）と呼ぶことも多い）を設けることで電界緩和効果を得てソース、ドレイン間の耐圧を向上した高耐圧な半導体装置（以下これをオフセットを有する半導体装置と略称する。）の製造方法に関する。

**【0002】**

**【従来の技術】** 従来のオフセットを有する半導体装置の製造方法には、主なものとして以下に述べる2種類の方法がある。一つはゲート電極の側壁にサイドウォールスペーサを設けることでオフセットを作るいわゆるサイドウォール法であり、もう一つはゲート電極をフォトリソで覆うことでオフセットを作るいわゆるマスクオフセット法である。

**【0003】** まず、いわゆるサイドウォール法について、図1を用いて説明する。

**【0004】** 半導体基板101上にゲート絶縁膜102を形成し、次いでゲート電極103を形成する。ゲート電極103をマスクにイオン注入104を行い、半導体基板中101に低濃度の不純物拡散層105を形成する（図1a）。次に、絶縁膜106を堆積し（図2b）、この絶縁膜106を異方性エッチングで除去する。エッチング後には、ゲート電極の側壁にサイドウォールスペーサ107が残る（図1c）。サイドウォールスペーサ107及びゲート電極103をマスクにしてイオン注入108を行い、高濃度の不純物拡散層109を形成する。引き続き層間絶縁膜を形成し、層間絶縁膜に接続孔を開口し、金属配線を形成するなどして半導体装置を完成する。

【0005】次に、いわゆるマスクオフセット法を図2を用いて説明する。

【0006】半導体基板201上にゲート絶縁膜202を形成し、次いでゲート電極203を形成する。ゲート電極203をマスクにイオン注入を行い、半導体基板201中に低濃度の不純物拡散層204を形成する(図2a)。次いでゲート電極203を覆うようにフォトリソグロフ205を形成し、これをマスクにイオン注入206を行うことで高濃度の不純物拡散層207を形成する

(図2b)。続いてフォトリソグロフ205を除去した後には上に述べたサイドウォール法と同様にして、半導体装置を完成する。

【0007】サイドウォール法でもマスクオフセット法でも、チャネルと高濃度の不純物拡散層の間に低濃度の不純物拡散層(オフセット)を設けることで水平方向の電界を緩和してトランジスタのソース、ドレイン間の耐圧を向上している。また、オフセットを設けることでホットキャリアのゲート絶縁膜への注入を抑制し、半導体装置の特性変動を抑える効果もある。

【0008】

【発明が解決しようとする課題】しかしながら、サイドウォール法ではオフセットの大きさ、すなわち低濃度の不純物拡散層の水平方向(チャネルとドレインを結ぶ方向)の距離が小さく、十分な耐圧を得られない場合があるという問題があった。すなわち、オフセットの大きさがサイドウォールの水平方向(ソースとドレインを結ぶ方向)の長さで決まり、このサイドウォールの水平方向の長さが大きくてもゲート電極の厚さ程度で有ることから、オフセットの大きさを大きくしようとしても自ずと限界があった。

【0009】また、マスクオフセット法では、任意の大きさのオフセットを設けて耐圧を向上することが可能ではあるが、高濃度の不純物拡散層を形成するためのイオン注入のマスク(図2のフォトリソグロフ205)をフォトリソグロフで形成するため、露光の際に位置合わせずれが生じてオフセットの大きさが変わり、従って電気特性が不均一になるという問題があった。

【0010】

【課題を解決するための手段】本発明の半導体装置の製造方法は、少なくとも、半導体層上にゲート絶縁膜を形成する工程と、後にソース及びドレインの不純物拡散層になるべき半導体層の部分にゲート電極とを一度のフォトリソグロフで形成する工程と、絶縁膜を堆積する工程と、前記領域の頂部が露出し、かつ前記領域とゲート電極の間の絶縁膜が残るように絶縁膜を除去する工程と、前記ゲート電極及び前記絶縁膜を残して前記領域を除去する工程と、除去した前記領域の下の半導体層に不純物イオンを注入する工程を含むことを特徴とし、ソース、ドレイン間の耐圧が高く、かつ電気特性の均一性に優れた半導体装置を製造できる、半導体装置の

製造方法を提供することを目的とする。

【0011】

【発明の実施の形態】本発明の半導体装置の製造方法の第1の実施例を図3と図4を用いて詳しく説明する。

【0012】図3と図4は本発明の半導体装置の製造方法を示す工程断面図である。まず、半導体層301上に第1の絶縁膜302を形成し、次いで第1の絶縁膜302上に第1の導電膜303を堆積した(図3a)。本実施例では半導体層301は単結晶シリコン(Si)であり、第1の絶縁膜302は単結晶シリコンの表面を熱酸化した酸化シリコン( $\text{SiO}_2$ )である。第1の絶縁膜302はMOS型トランジスタのゲート絶縁膜である。第1の導電膜303は多結晶シリコンを用いた。

【0013】次に、第1の導電膜303を一度のフォトリソグロフを用いて加工成形し、第1の導電膜領域304と第2の導電膜領域305を同時に形成した。第1の導電膜領域304はMOS型トランジスタのゲート電極であり、第2の導電膜領域305は後に高濃度の不純物拡散層(MOSトランジスタのソース及びドレイン)を形成する部分を覆う領域である(以後、カバー層と略称する)。更に、第1の導電膜領域304と第2の導電膜領域305の上からイオン注入を行い、半導体層301中に低濃度の不純物拡散層306を形成した(図3b)。

【0014】低濃度の不純物拡散層を形成する際のイオン注入の条件として、注入量は、好ましくは $10^{10} \sim 10^{14}$  ( $1/\text{cm}^2$ )、より好ましくは $10^{12} \sim 10^{13}$  ( $1/\text{cm}^2$ )である。注入エネルギーは、好ましくは $10 \sim 150 \text{ keV}$ 、より好ましくは、 $30 \sim 100 \text{ keV}$ である。イオン種は、 $\text{B}^+$ 、 $\text{BF}_2^+$ 、 $\text{P}^+$ 及び $\text{As}^+$ 等であるが、半導体基体にドナーあるいは、アクセプターとして機能し得る物質であれば特に限定されることはない。これらのイオン注入条件は、一例であり、一般に必要なMOSトランジスタの耐圧、能力などにより決定される。

【0015】たとえば、イオン種が $\text{BF}_2^+$ の場合、注入量は、好ましくは $10^{10} \sim 10^{14}$  ( $1/\text{cm}^2$ )、より好ましくは $10^{12} \sim 10^{13}$  ( $1/\text{cm}^2$ )、さらに好ましくは、 $4 \times 10^{12} \sim 10^{13}$  ( $1/\text{cm}^2$ )である。 $10^{10}$  ( $1/\text{cm}^2$ )未満では、拡散層抵抗が大きくなりすぎてMOSトランジスタとしての能力が不足してしまい、また希望する導電型が得られない場合もあるからである。 $10^{14}$  ( $1/\text{cm}^2$ )より大きいと電界緩和効果が小さくなり十分な耐圧が確保できないことが多いためである。注入エネルギーは、特に限定されないが、好ましくは $20 \sim 60 \text{ keV}$ 、より好ましくは $30 \sim 50 \text{ keV}$ 、さらに好ましくは $40 \pm 5 \text{ keV}$ である。 $20 \text{ keV}$ 未満では不純物がゲート絶縁膜を貫通しない場合があるためである。 $60 \text{ keV}$ より大きいとイオン注入のマスク層まで貫通する場合があるためである。もちろん、このような不都合が生じないのであれば、注入エネルギーは、求められる

MOSトランジスタの特性にあわせ自由に設定することが可能であり、他のイオン種、他のイオン注入工程であっても事情は同じである。

【0016】イオン種が $B^+$ の場合、注入量は、好ましくは $1.0 \times 10^{10} \sim 1.0 \times 10^{14}$  ( $1/cm^2$ )、より好ましくは $1.0 \times 10^{12} \sim 1.0 \times 10^{13}$  ( $1/cm^2$ )、さらに好ましくは、 $4 \times 10^{12} \sim 1.0 \times 10^{13}$  ( $1/cm^2$ ) である。注入エネルギーは、特に限定されないが、好ましくは $1.0 \sim 4.0$  keV、より好ましくは $2.0 \sim 3.0$  keVである。

【0017】イオン種が $P^+$ の場合、注入量は、好ましくは $1.0 \times 10^{10} \sim 1.0 \times 10^{14}$  ( $1/cm^2$ )、より好ましくは $5 \times 10^{12} \sim 5 \times 10^{13}$  ( $1/cm^2$ )、さらに好ましくは $1.0 \times 10^{13} \sim 4 \times 10^{13}$  ( $1/cm^2$ ) である。注入エネルギーは、特に限定されないが、好ましくは $4.0 \sim 8.0$  keV、より好ましくは $5.0 \sim 7.0$  keV、さらに好ましくは $6.0 \pm 5$  keVである。

【0018】イオン種が $As^+$ の場合、注入量は、好ましくは $1.0 \times 10^{10} \sim 1.0 \times 10^{14}$  ( $1/cm^2$ )、より好ましくは $5 \times 10^{12} \sim 5 \times 10^{13}$  ( $1/cm^2$ ) である。注入エネルギーは、特に限定されないが、好ましくは $4.0 \sim 8.0$  keV、より好ましくは $5.0 \sim 7.0$  keVである。

【0019】次に、第2の絶縁膜307を堆積した(図3c)。この第2の絶縁膜307は、一部が後にオフセット形成のためのスペーサとなる、いわゆるスペーサ絶縁膜である。第2の絶縁膜307は気相成長法を用いて堆積した酸化シリコンである。この後、化学的機械的研磨(CMP)技術を用いて第2の絶縁膜307を頂部から徐々に除去し、第2の導電膜領域305の頂部を露出させた。この時第1の導電膜領域304と第2の導電膜領域305の間には第2の絶縁膜307の一部が残し、これが第1の導電膜領域304と後に形成する高濃度の不純物拡散層を離す(オフセットを形成する)為のスペーサ308である(図3d)。

【0020】次に、第1の導電膜領域304を覆うように、かつ第2の導電膜領域305は露出するようにフォトレジスト309を形成してから、第2の導電膜領域305を除去した(図3e)。半導体層301の第1の導電膜領域304とスペーサ308に覆われていない部分にイオン注入を行い、高濃度の不純物拡散層310を形成した(図4a)。

【0021】高濃度の不純物拡散層を形成する際のイオン注入の条件として、注入量は、好ましくは $1.0 \times 10^{14} \sim 1.0 \times 10^{17}$  ( $1/cm^2$ )、より好ましくは $1.0 \times 10^{15} \sim 1.0 \times 10^{16}$  ( $1/cm^2$ ) である。注入エネルギーは、好ましくは $1.0 \sim 1.5$  keV、より好ましくは、 $3.0 \sim 1.0$  keVである。イオン種は、 $B^+$ 、 $BF_2^+$ 、 $P^+$ 及び $As^+$ 等であるが、半導体基体にドナーあるいは、アクセプターとして機能し得る物質であれば特に限定されることはない。これらのイオン注入条件は、一例であり、一般に必要とする耐圧、能力などにより決定される。

【0022】たとえば、イオン種が $BF_2^+$ の場合、注入量は、好ましくは $1.0 \times 10^{14} \sim 1.0 \times 10^{17}$  ( $1/cm^2$ )、より好ましくは $1.0 \times 10^{15} \sim 1.0 \times 10^{16}$  ( $1/cm^2$ )、さらに好ましくは $1 \times 10^{15} \sim 8 \times 10^{15}$  ( $1/cm^2$ ) である。 $1.0 \times 10^{14}$  ( $1/cm^2$ ) 未満では、拡散層抵抗(ソース、ドレインの寄生抵抗)が大きくなり、トランジスタの能力が阻害される場合があるためである。また、 $1.0 \times 10^{17}$  ( $1/cm^2$ ) より大きいと後の工程でイオン注入による結晶欠陥を回復することが困難になり、ジャンクションリークなどによりトランジスタの特性を阻害する場合があるからである。注入エネルギーは、特に限定されないが、好ましくは $2.0 \sim 6.0$  keV、より好ましくは $3.0 \sim 5.0$  keV、さらに好ましくは $4.0 \pm 5$  keVである。 $2.0$  keV未満では不純物がゲート絶縁膜を貫通しない場合があるためである。また、 $6.0$  keVより大きいとイオン注入のマスク層まで貫通する場合があるためである。

【0023】イオン種が $B^+$ の場合、注入量は、好ましくは $1.0 \times 10^{14} \sim 1.0 \times 10^{17}$  ( $1/cm^2$ )、より好ましくは $1.0 \times 10^{15} \sim 1.0 \times 10^{16}$  ( $1/cm^2$ )、さらに好ましくは $1 \times 10^{15} \sim 8 \times 10^{15}$  ( $1/cm^2$ ) である。注入エネルギーは、特に限定されないが、好ましくは $2.0 \sim 6.0$  keV、より好ましくは $3.0 \sim 5.0$  keV、さらに好ましくは $4.0 \pm 5$  keVである。

【0024】イオン種が $P^+$ の場合、注入量は、好ましくは $1.0 \times 10^{14} \sim 1.0 \times 10^{17}$  ( $1/cm^2$ )、より好ましくは $1.0 \times 10^{15} \sim 1.0 \times 10^{16}$  ( $1/cm^2$ )、さらに好ましくは $1 \times 10^{15} \sim 8 \times 10^{15}$  ( $1/cm^2$ ) である。注入エネルギーは、特に限定されないが、好ましくは $5.0 \sim 9.0$  keV、より好ましくは $6.0 \sim 8.0$  keV、さらに好ましくは $7.0 \pm 5$  keVである。

【0025】イオン種が $As^+$ の場合、注入量は、好ましくは $1.0 \times 10^{14} \sim 1.0 \times 10^{17}$  ( $1/cm^2$ )、より好ましくは $1.0 \times 10^{15} \sim 1.0 \times 10^{16}$  ( $1/cm^2$ )、さらに好ましくは $1 \times 10^{15} \sim 8 \times 10^{15}$  ( $1/cm^2$ ) である。注入エネルギーは、特に限定されないが、好ましくは $3.0 \sim 7.0$  keV、より好ましくは $4.0 \sim 6.0$  keV、さらに好ましくは、 $5.0 \pm 5$  keVである。

【0026】この後、層間絶縁膜311を堆積し、不純物の活性化の為の加熱処理を施し、接続孔を開口し、金属配線312を形成して半導体装置を完成した(図4b)。

【0027】本実施例では半導体層301は単結晶シリコンとしたが、他に、例えば多結晶シリコン薄膜トランジスタを製造する場合であって半導体層301がガラスや石英ガラスの基板上に形成した多結晶シリコンであっても、また非晶質シリコン薄膜トランジスタを製造する場合であって半導体層301がガラスや石英ガラスの基板上に形成した非晶質シリコンであってもよい。

【0028】更に言えば、半導体層301の単結晶シリコンは、単結晶シリコン基板でも、SOI(Silic

on on Insulator) やSOS (Silicon on Sapphire) 上に成長した単結晶シリコンであっても、本発明の方法で製造することで得られる効果にはならん変わるところはない。

【0029】しかしながら、実際に単結晶シリコン基板を用いて本発明の方法で半導体装置を製造する場合には、素子分離の方法等も考慮しなければならない。これは本実施例で示した図に含まれる部分以外、すなわち素子分離領域に段差を生じて、特に化学的機械的研磨 (CMP) を用いる際に、素子分離絶縁膜上の第1の導電膜領域304が薄くなってしまう、素子分離領域での配線に使えなくなってしまうためである。単結晶シリコン基板を用い、LOCOS (Local Oxidation Of Silicon) で素子分離を行う場合について後に別の実施例として述べる。

【0030】また、本実施例では第2の絶縁膜307の除去に化学的機械的研磨 (CMP) を用いたが、第2の導電膜領域305の頂部を露出し、かつスペーサ308になる第2の絶縁膜307をイオン注入の阻止マスクとなりうる膜厚で残せれば、他の技術を用いても構わない。例えば図3cの様に第2の絶縁膜307を堆積した状態で、上にフォトレジストを塗布してからフォトレジストと第2の絶縁膜307のエッチング速度がほぼ同じになるような条件で全面をエッチングする、いわゆるレジストエッチバック法でも本発明の目的にかなう。

【0031】更にいえば、本実施例では第1の導電層303に多結晶シリコンを用いたが、これをモリブデン (Mo)、タングステン (W)、チタン (Ti) 等の高融点金属のケイ化物 (シリサイド) や、これらと多結晶シリコンとの積層構造とする事もある。

【0032】本実施例の半導体装置の製造方法では、ゲート電極とソース、ドレインの位置関係、すなわちMOS型トランジスタにおけるソース、ドレインのオフセット長が、第1の導電膜303を加工、成形して第1の導電膜領域304と第2の導電膜領域305を形成する為の一度のフォトリソグラフィで決まる。そのため、ゲート電極とソース、ドレインの間隔 (オフセット長) を、従来のマスクオフセット法のように露光装置の位置合わせ精度によらず、常に一定に保つことができ、従って電気的特性が均一な半導体装置を製造することができた。しかも、従来のサイドウォール法と違い、オフセットの大きさを任意に決めることが可能であり、必要に応じたソースドレイン間耐圧を得ることが容易にできた。

【0033】以下、図5を用いて本発明の半導体装置の製造方法の第2の実施例について製造工程順に説明する。第2の実施例は単結晶シリコン基板上に素子分離の為の酸化シリコン膜をLOCOS法で形成した後、本発明の製造方法を適用した例である。これは先に述べた第1の実施例の方法を、素子分離のための酸化シリコン膜を基板から盛り上がるように形成しなければならない単

結晶シリコン基板を用いた半導体装置の製造に適用すると、ゲート電極と同層でゲート電極から延びる配線部分が素子分離のための酸化シリコン膜上に有るために (第1の実施例を説明した図3、図4では図示されていない)、平坦化技術を用いる際にこの配線部分が薄くなったり無くなってしまうことがあることから、この問題を解決した製造方法の例である。

【0034】単結晶シリコン基板501上に薄い酸化シリコン膜を形成した後、窒化シリコン膜をマスクとして露出したシリコン部分を熱酸化し、その後窒化シリコン膜を除去するといういわゆるLOCOS法で素子分離絶縁膜502を形成して有り、素子分離絶縁膜502以外の部分にはゲート絶縁膜503を形成して有り、さらに多結晶シリコンからなる第1の導電膜504を堆積して有る (図5a)。

【0035】第1の導電膜504を一度のフォトリソグラフィを用いて加工成形し、第1の導電膜領域505と第2の導電膜領域506を同時に形成した。第1の導電膜領域505はMOS型トランジスタのゲート電極であり、第2の導電膜領域506は後に高濃度の不純物拡散層 (MOSトランジスタのソース及びドレイン) を形成する部分を覆うようにしてある。更に、第1の導電膜領域505と第2の導電膜領域506の上からイオン注入を行い、単結晶シリコン基板501中に低濃度の不純物拡散層507を形成し、第2の絶縁膜508を堆積した (図5b)。

【0036】次に、化学的機械的研磨 (CMP) 技術を用いて第1の導電膜領域505と第2の導電膜領域506の頂部が露出するまで508を除いた (図5c)。

【0037】次に、第1の導電膜領域505を覆い、第2の導電膜領域506が露出するように第1の配線509を形成し、第1の配線509をマスクに第2の導電膜領域506を除去した。続いて、第2の導電膜領域506の下にあった部分の単結晶シリコン501中にイオン注入で高濃度の不純物拡散層510を形成した (図5d)。低濃度及び高濃度の不純物拡散層を形成する際のイオン注入条件は、実施例1に準ずる。

【0038】以後、層間絶縁膜511、接続孔512、金属配線513を形成し半導体装置を完成した (図5e)。

【0039】第2の実施例で各部位に用いた材質、技術は単結晶シリコン基板501以外は基本的に第1の実施例の対応する部位と同じであり、材質や技術の変更も第1の実施例に準ずる。本第2の実施例にのみ必要な第1の配線509は多結晶シリコンとした。第1の配線509を多結晶シリコンとし、第1の導電膜504も多結晶シリコンであるので、本実施例では、第1の配線509の加工のためのエッチングで第2の導電膜領域506まで除去することが可能であった。しかし、第1の導電膜領域505と導通のとれる材質で有れば、他の材質を第



1の配線509に用いて良い。

【0040】第2の実施例の方法で製造した半導体装置では、第1の実施例の場合と同じ理由により、電気特性の均一性が良く、また、ゲート電極とソース、ドレインの間隔に応じて必要な耐圧を得ることができた。

【0041】第2の実施例では単結晶シリコン基板を用いたが、例えば多結晶シリコン薄膜トランジスタを製造する場合であって半導体層がガラスや石英ガラスの基板上に形成した多結晶シリコンであっても、また非晶質シリコン薄膜トランジスタを製造する場合であって半導体層がガラスや石英ガラスの基板上に形成した非晶質シリコンであってもよい。

【0042】更に言えば、半導体層の単結晶シリコンは、SOI (Silicon on Insulator) やSOS (Silicon on Sapphire) 上に成長した単結晶シリコンであっても、本実施例の方法で製造することで得られる、均一性が高く高耐圧な半導体装置が得られると言う効果にはなんら変わることはない。

【0043】その上、第2の実施例では第1の実施例と異なり、単結晶シリコン基板を用いた本発明の方法で半導体装置を製造する際に、素子分離の為にLOCOS法で素子分離絶縁膜を形成し、素子分離領域に段差を生じた場合でも、第1の配線509を形成しているのので、素子分離領域の配線を確保することが出来る。

【0044】なお、以上に述べた二つの実施例では、ゲート電極の中央を境に左右対象に図を描いて有るが、これは必要に応じて左右非対象にし、ソース側のオフセットとドレイン側のオフセットの長さを変え、ソース側とドレイン側を使い分けることも容易にできる。

【0045】以下に本発明の半導体装置の製造方法のさらに別の実施例を、第3の実施例として図6を用いて説明する。第3の実施例は単結晶シリコン基板上に素子分離の為に酸化シリコン膜をLOCOS法で形成した後、本発明の製造方法を適用した例である。これは、先に述べた第1の実施例の方法を、素子分離のための酸化シリコン膜を基板から盛り上がるように形成しなければならぬ単結晶シリコン基板を用いた半導体装置の製造に適用すると、ゲート電極と同層でゲート電極から延びる配線部分が素子分離のための酸化シリコン膜の段差の上に有るために、平坦化技術を用いる際にこの配線部分が薄くなったり、無くなってしまうことがあることから、この問題を解決した製造方法の第2の実施例とは別の例である。

【0046】単結晶シリコン基板601上に薄い酸化シリコン膜を形成した後、窒化シリコン膜をマスクとして露出したシリコン部分を熱酸化し、その後窒化シリコン膜を除去するといういわゆるLOCOS法で素子分離絶縁膜602を形成して有り、素子分離絶縁膜602以外の部分にはゲート絶縁膜603を形成して有り、さらに多結

晶シリコンからなる第1の導電膜604を堆積して有る(図6a)。

【0047】第1の導電膜604を一度のフォトリソグラフィを用いて加工成形し、第1の導電膜領域605と第2の導電膜領域606を同時に形成した。

【0048】ここで、素子分離のための酸化シリコン膜上に配線部分を有する構造とする場合には、第1の導電膜604をフォトリソグラフィを用いて加工成形し、上述の第1の導電膜領域605及び第2の導電膜領域606の他に、素子分離絶縁膜602上に導電膜領域を形成すればよい。第1の導電膜領域605はMOS型トランジスタのゲート電極であり、第2の導電膜領域606は後に高濃度の不純物拡散層(MOSトランジスタのソース及びドレイン)を形成する部分を覆うようにしてある。更に、第1の導電膜領域605と第2の導電膜領域606の上からイオン注入を行い、単結晶シリコン基板601中に低濃度の不純物拡散層607を形成し、第2の絶縁膜608を堆積した(図6b)。

【0049】次に、フォトリソグラフィでフォトレジスト609を形成し、これをマスクとして第2の導電膜領域606の上の第2の絶縁膜608を、第2の導電膜領域606の頂部が露出するように、かつ第2の絶縁膜608が残るように上部から部分的に除去した(図6c)。残す第2の絶縁膜608の下部は、後の高濃度の不純物を形成するためのイオン注入で注入されるイオンが下の単結晶シリコン基板601に到達しないだけの厚さが必要である。

【0050】さらに第2の導電膜領域606を除去し、できた空隙の下の単結晶シリコン基板601の部分にイオン注入で高濃度の不純物拡散層610を形成した(図6d)。低濃度及び高濃度の不純物拡散層を形成する際のイオン注入条件は、実施例1に準ずる。

【0051】以降、層間絶縁膜611、接続孔612、金属配線613を形成し半導体装置を完成した(図6e)。

【0052】第3の実施例で各部位に用いた材質、技術は単結晶シリコン基板601以外は基本的に第1の実施例の対応する部位と同じであり、材質や技術の変更も第1の実施例に準ずる。

【0053】第3の実施例の方法で製造した半導体装置でも、第1の実施例や第2の実施例の場合と同じ理由により、電気特性の均一性が良く、また、ゲート電極とソース、ドレインの間隔に応じて必要な耐圧を得ることができた。

【0054】第3の実施例の製造方法では、第2の実施例に比べ、新たな配線(第1の配線509)を形成する必要が無く、第1の導電膜領域605をそのまま配線として使えるという利点がある。

【0055】また、第3の実施例でもゲート電極の中央を境に左右対象に図を描いて有るが、これは他の実施例

同様、必要に応じて左右非対象にし、ソース側のオフセットとドレイン側のオフセットの長さを変え、ソース側とドレイン側を使い分けることも容易にできる。

【0056】以上述べたような本発明の半導体装置の製造方法で製造したMOS型トランジスタはオフセットの長さがマスクオフセット法のように露光装置の合わせずれの影響を受けないので電気特性の均一性が良く、しかもサイドウォール法よりも寸法の大きいオフセットを設けることができる。このような効果とは別に本発明の半導体製造方法を用いて製造するMOS型トランジスタでは、ゲート長の不均一による電気特性の不均一を軽減することが可能である。

【0057】MOS型トランジスタ電気特性の不均一性の他の要因としてはゲート長の不均一性をあげることが出来る。ゲート長の不均一は主にゲート電極形成の為のフォトリソグラフィの不均一に起因し、一部はその後のエッチング工程の不均一にも起因する。ゲート長はMOS型トランジスタの電気特性を決定する大きな要素であり、ゲート長のわずかな変化はそのまま電気特性の変化となって現れてしまう。しかしながら、本発明の半導体装置の製造方法で製造したMOS型トランジスタであって、以下に第4の実施例として述べるように、ソース及びドレインの不純物拡散層とチャンネルの間の部分（低濃度の不純物拡散層あるいはオフセットと呼んでいる）の、チャンネル長方向の単位長さあたりの電気抵抗を、ゲート及びドレインに規定の電圧、例えば定格電圧、を加えた場合のチャンネルの単位長さあたりの電気抵抗の概2分の1としたMOS型トランジスタでは、ゲート長の不均一に起因する電気特性の不均一を軽減することが可能である。

【0058】以下に第4の実施例を図7を用いて説明する。

【0059】図7は第2の本発明のMOS型トランジスタを第2の実施例の製造方法で製造した場合の断面図である。図の左右方向がMOS型トランジスタのチャンネル長方向、すなわちゲート長方向である。

【0060】低濃度の不純物拡散層701（オフセット）のチャンネル長方向の単位長さあたりの抵抗を $R_o$ とする。また、ソース端子702を0Vとしてゲート端子703とドレイン端子704に規定の電圧を加えた場合の導通状態（以後オン状態と称す）のチャンネル705の端から端までの平均の抵抗値をゲート長で割った、単位長さあたりの抵抗を $R_c$ とする。本実施例のMOS型トランジスタでは、 $R_o$ は $R_c$ の概ね2分の1とした。 $R_o$ は低濃度の不純物拡散層を形成する際のイオン注入の注入イオン量を調整することで所望の値を得た。

【0061】ここでゲート電極706の寸法が変動した場合を考える。図7におけるゲート電極706の横方向の幅、すなわちゲート長が $d_L$ だけ変動するとチャンネル長も $d_L$ 変動する。この時のオフセットの長さの変動は

ソース側、ドレイン側あわせて $-2d_L$ となる。これは図7のMOS型トランジスタは第2の実施例に説明した方法で製造したので、図5bにあるようにMOS型トランジスタのゲート電極となる第1の導電膜領域505の寸法と第2の導電膜領域506の寸法が同一であり、第1の導電膜領域505の寸法が $d_L$ だけ変動すると、同時に形成された第2の導電膜領域506の寸法も同じく $d_L$ 変動し、第1の導電膜領域505と第2の導電膜領域506の間隔、つまりオフセット片側分で $-d_L$ だけ変動することによる。このようにチャンネル長が $d_L$ 変動したとき、 $d_L$ がゲート長に比べ十分小さく、例えば $d_L$ がゲート長の10%に満たない程度ならば、オン状態のチャンネルの全抵抗の変動は $R_c$ に $d_L$ を乗じた大きさにはほぼ等しい。これに対しオフセットの寸法の変動がソース側、ドレイン側あわせて $-2d_L$ であるからオフセットの抵抗の変動は $-2d_L$ に $R_o$ を乗じた大きさである。本実施例のMOS型トランジスタは $R_o$ が $R_c$ の概ね2分の1であるので、オン状態のチャンネル抵抗の変動はオフセットの抵抗の変動でほぼ相殺される。すなわち第4の実施例のMOS型トランジスタではゲート長の変動による電気特性の変化を軽減できた。

【0062】第4の実施例のMOS型トランジスタは、第2の実施例の製造方法で製造したのであるが、これに限らず本発明の他の実施例の製造方法で製造した場合でも同じ効果が得られる。

【0063】なお、第4の実施例のMOS型トランジスタではオフセット（低濃度の不純物拡散層701）は必ずしもドレイン端の電界緩和による耐圧の向上を第1の目的とはしていない。なぜなら $R_o$ を $R_c$ の概ね2分の1とするためにオフセットの不純物濃度を決定しなければならない場合、決定された濃度ではオフセットの電界緩和効果が十分得られない場合もあるためである。しかしながら、本発明の半導体装置の製造方法を用いた上で、MOS型トランジスタのオフセットに電界緩和効果を付加しつつゲート長の不均一による電気特性の不均一を軽減する効果を得たとすれば、それは本発明の効果の一端であることを付記しておく。

【0064】

【発明の効果】以上述べたように、本発明の半導体装置の製造方法では、MOS型トランジスタのオフセットの大きさを均一に、しかも任意の大きさにする事ができる。従って、本発明の半導体装置の製造方法で、オフセットを有する半導体装置を製造すると、電気的特性が均一であり、ソース、ドレイン間耐圧の設定の自由度が大きい半導体装置を得ることができるという効果がある。これは本発明の半導体装置の製造方法のいずれの実施例でも得られる効果である。

【0065】また、本発明の半導体装置の製造方法で製造し、ソース及びドレインの高濃度不純物拡散層とチャンネルの間のいわゆるオフセット部分の、チャンネル長方向



の単位長さあたりの電気抵抗が、ゲート電極及びドレインに規定の電圧を加えた場合のチャンネルの単位長さあたりの電気抵抗の概2分の1である本発明のMOS型トランジスタでは、フォトリソグラフィの不均一に由来するゲート長の変動で起こる電気特性の不均一を軽減することが可能である。

【図面の簡単な説明】

【図1】従来のオフセットを有する半導体装置の製造方法のうち、いわゆるサイドウォール法の工程を示す工程断面図。

【図2】従来のオフセットを有する半導体装置の製造方法のうち、いわゆるマスクオフセット法の工程を示す工程断面図。

【図3】本発明の半導体装置の製造方法の第1の実施例を説明する工程断面図。はじめから途中の工程までを示し、以後の工程は図4に示した。

【図4】本発明の半導体装置の製造方法の第1の実施例を説明する工程断面図。図3からの続きの工程を示す。

【図5】本発明の半導体装置の製造方法の第2の実施例を説明する工程断面図。

【図6】本発明の半導体装置の製造方法の第3の実施例を説明する工程断面図。

【図7】第4の実施例の本発明のMOS型トランジスタを説明する断面図。

【符号の説明】

101、201・・・半導体基板

102、202、503、603・・・ゲート絶縁膜

103、203、706・・・ゲート電極

104、108、206・・・イオン注入

105、204、306、507、607、701・・・低濃度の不純物拡散層

106・・・絶縁膜

107・・・サイドウォールスペーサ

109、207、310、510、610・・・高濃度の不純物拡散層

205、309、609・・・フォトレジスト

301・・・半導体層

302・・・第1の絶縁膜

303、504、604・・・第1の導電膜

304、505、605・・・第1の導電膜領域

305、506、606・・・第2の導電膜領域

307、508、608・・・第2の絶縁膜

308・・・スペーサ

311、511、611・・・層間絶縁膜

312、513、613・・・金属配線

501、601・・・単結晶シリコン基板

502、602・・・素子分離絶縁膜

509・・・第1の配線

512、612・・・接続孔

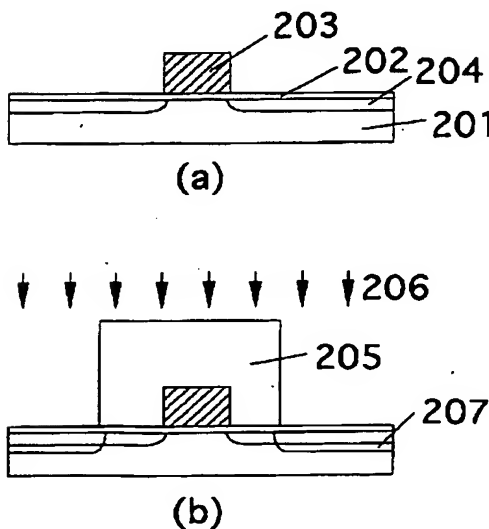
702・・・ソース端子

703・・・ゲート端子

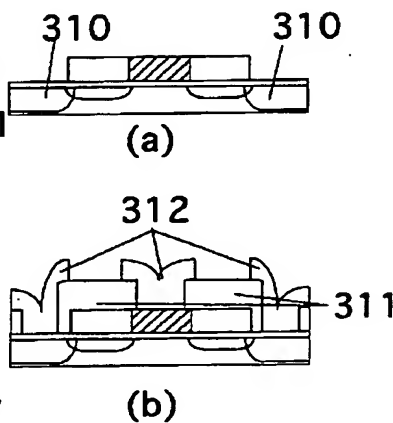
704・・・ドレイン端子

705・・・チャンネル

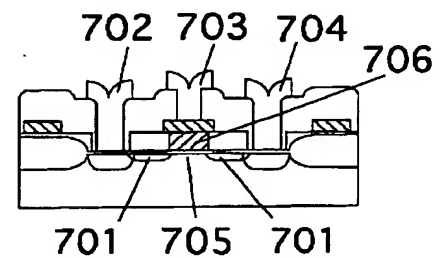
【図2】



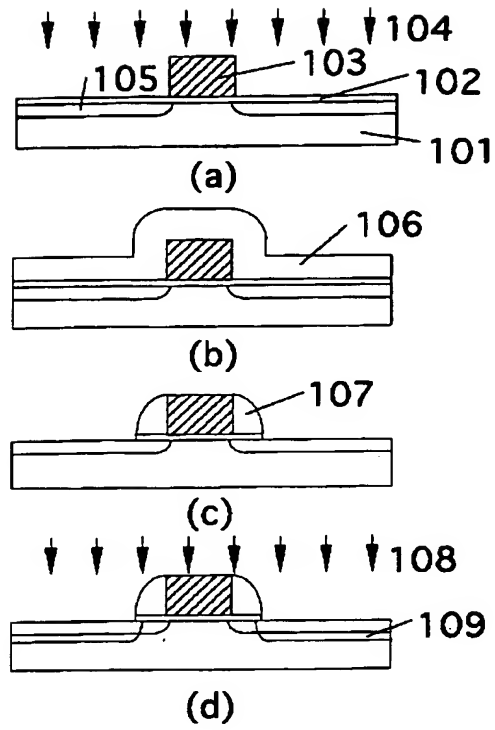
【図4】



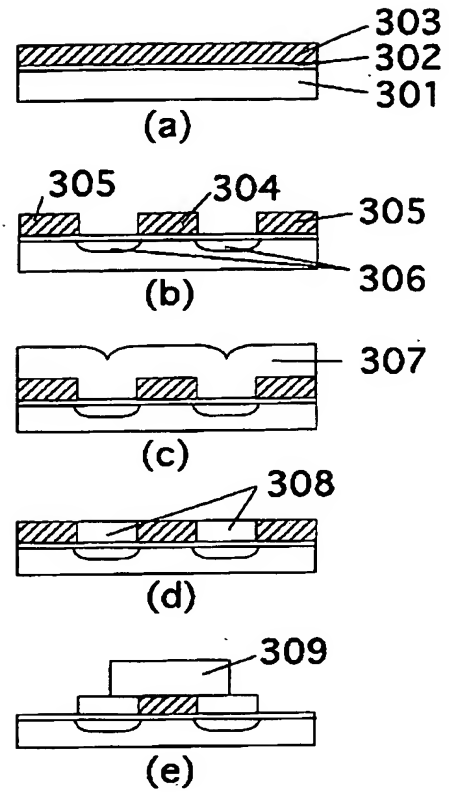
【図7】



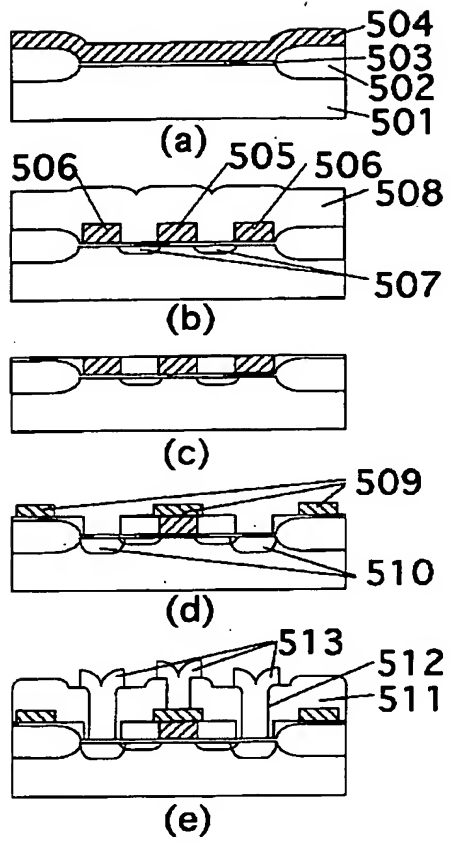
【図1】



【図3】



【図5】



【図6】

